

Гололобов Д. О., Котомчак О. Ю., Ярцев В. П.

*Державний університет телекомунікацій, Київ*

### СТРУКТУРНІ ПОБУДОВИ В $k$ -ЗНАЧНІЙ ЛОГІЦІ ОПТОЕКТРОНИХ ПРИСТРОЇВ ВІДОБРАЖЕННЯ ІНФОРМАЦІЇ

*Запропоновано способи апаратної реалізації цифрових логічних елементів, які використовують функції  $k$ -значної логіки для побудови систем відображення інформації. На прикладі трійкової логіки математично обґрунтовано можливе використання в якості повного логічного базису прямого і зворотного мультиплектора. Розглянуто приклади схем комбінаційних пристроїв та логічних пристроїв з пам'яттю на основі  $k$ -значної логіки.*

**Ключові слова:**  $k$ -значна логіка, логічний базис  $k$ -значної логіки, трійкова логічна функція, мультиплектор, цифровий автомат трійкової логіки, цифровий комбінаційний пристрій.

Hololobov D. O., Kotomchak O. Yu., Yartsev V. P. *State University of Telecommunications, Kiev*

### STRUCTURAL BUILDINGS IN $K$ - VALUED LOGIC OPTOELECTRONIC DISPLAY INFORMATION DEVICES

*The ways of hardware implementation of digital logic elements based on  $k$ -valued logic, used in systems of information display of telecommunication equipment for increasing the speed of data processing are offered. The possibility of using a multiplexer circuit as a logical basis in the general case for  $k$ -valued logic and for a triple logic in a separate case is shown. On the example of the ternary logic, the possible use of a direct and inverse multiplexer as a complete logical basis is mathematically justified. Using this basis, any complex  $k$ -valued logical function can be represented as a multi-tier hierarchical structure in which the element is an elementary multiplexer. The use of multiplexers simplifies the design and synthesis of complex digital circuits with a large number of input variables. The variants of the structural scheme of the ternary full sequential adder using a multiplexer with a single control signal are proposed. To reduce hardware costs and reduce power consumption, an adder circuit has been developed based on a multiplexer with two control signals. To implement a digital element with memory, a block diagram of the ternary  $D$  - trigger has been developed using the  $k$ -value multiplexer as a basic element. An example of building a digital automaton in a 3-value logic is given, which from a sequence of input signals detects a given combination and provides an output control signal. The proposed method for constructing circuits of digital combinational devices and logical devices with memory based on  $k$ -digit multiplexers will allow increasing the capacity and speed of processing large data arrays.*

**Keywords:**  $K$ -valued logic, logic base of  $k$ -valued logic, ternary logic function, multiplexer, digital automaton of ternary logic, digital combinational devices.

Гололобов Д. А., Котомчак А. Ю., Ярцев В. П.

*Государственный университет телекоммуникаций, Киев*

### СТРУКТУРНЫЕ ПОСТРОЕНИЯ В $K$ -ЗНАЧНОЙ ЛОГИКЕ ОПТОЭЛЕКТРОННЫХ УСТРОЙСТВ ОТОБРАЖЕНИЯ ИНФОРМАЦИИ

*Предложен способ аппаратной реализации цифровых логических элементов, использующих функции  $k$ -значной логики для построения систем отображения информации. На примере троичной логики математически обосновано возможное использование в качестве полного логического базиса прямого и обратного мультиплектора. Рассмотрены примеры схем комбинационных устройств и логических устройств с памятью на основе  $k$ -значной логики.*

**Ключевые слова:**  $k$ -значная логика, логический базис  $k$ -значной логики, троичная логическая функция, мультиплектор, цифровой автомат троичной логики.

© Гололобов Д. О., Котомчак О. Ю., Ярцев В. П., 2018

## 1. Вступ

У сучасній дискретній математиці і теорії побудови цифрової техніки важливе положення займають питання структурної реалізації цифрових автоматів на основі перетворення булевих функцій. Усілякі цифрові пристрої, системи штучного інтелекту, керуючі системи вирішують найскладніші обчислювальні завдання на основі елементарних двійкових операцій. Але сьогодні фізико-технологічні показники мікросхем з бінарною логікою досягли практичної межі і по розмірах, і по швидкодії. Подальший ріст цих показників зв'язують із використанням обчислювачів, що працюють у багатозначних алфавітах [1].

Складність завдань, реалізованих оптоелектронними засобами відображення даних телекомунікаційних пристроїв, постійно зростає. Це вимагає збільшення робочої частоти, кількості логічних елементів у схемі формування зображення, і одночасно, зниження витрат на споживану потужність живлення. Застосування багатозначної логіки є одним зі шляхів рішення зазначених проблем. Багатозначна логіка надає більше широкі можливості для розробки різних алгоритмів обробки інформації, дозволяє зменшити обчислювальну складність, число елементів і з'єднань у різних пристроях формування сигналів, підвищити щільність розміщення елементів, збільшити швидкодію та обсяги оброблюваних даних [2].

Багатозначна логіка знайшла широке застосування для рішення завдань передачі і зберігання даних, формування візуального відображення графічної інформації і обробки складних цифрових сигналів в галузі телекомунікацій [3]. Найбільш близькими технічними рішеннями цифрових пристроїв на основі  $k$ -значної логіки є така група винаходів: трійкова схема "1", трійковий напівсуматор, трійковий дешифратор і трійкові перемикачі [7], пороговий елемент трійкової логіки та пристрої на його основі [8], трійковий D-тригер [9].

З аналізу літературних джерел можна зробити наступні висновки. Більшість технічних рішень наборів логічних і операційних пристроїв використовують симетричну трійкову систему з набором сигналів відповідним значенням  $-1, 0, +1$ , які технічно реалізуються на порогових елементах трійкової логіки в інтегральній електроніці.

**Мета і завдання дослідження.** Теорія питання структурної реалізації цифрового автомата в даній роботі буде викладатися по можливості в загальному виді, але всі приклади будуть приводитися в трійковій системі, тому що по обсягу таблиць і складності структурних схем вони найпростіші. До того ж трійкові комп'ютери вважаються перспективними при створенні штучного інтелекту та мислення по трійковій логіці більше відповідає людському. Відзначимо також, що провідні компанії світу розробляють квантові і оптичні комп'ютери на основі трійкової логіки. Для побудови структурних схем у будь-якій  $k$ -значній логіці необхідно мати функціонально повний логічний базис і елемент пам'яті з функціонально повною системою переходів і виходів. Цим питанням і буде приділена основна увага в статті.

## 2. Вибір логічного базису для структурного подання функцій $k$ -значної логіки

Загальна кількість  $N$  логічних функцій (ЛФ) у  $k$ -значній логіці дорівнює:

$$N = k^{k^r} \quad (1)$$

де  $k$  – значність логіки,  $r$  – кількість аргументів ЛФ.

Властивості багатьох ЛФ багатозначних логік ще не достатньо вивчені, але на даний момент серед множини ЛФ кожної  $k$ -значної логіки можна виділити дві ЛФ, які разом з константами  $0, 1, 2, \dots, k-1$  створюють два універсальних логічних базиси. Ці ЛФ називають прямим (рис.1,а) і зворотним мультиплексорами (рис.1,б).

Мультиплексор з одним керуючим сигналом в  $k$ -значній логіці будемо називати елементарним  $k$ -значним мультиплексором. Мультиплексори із двома і більше керуючими сигналами назвемо складними.

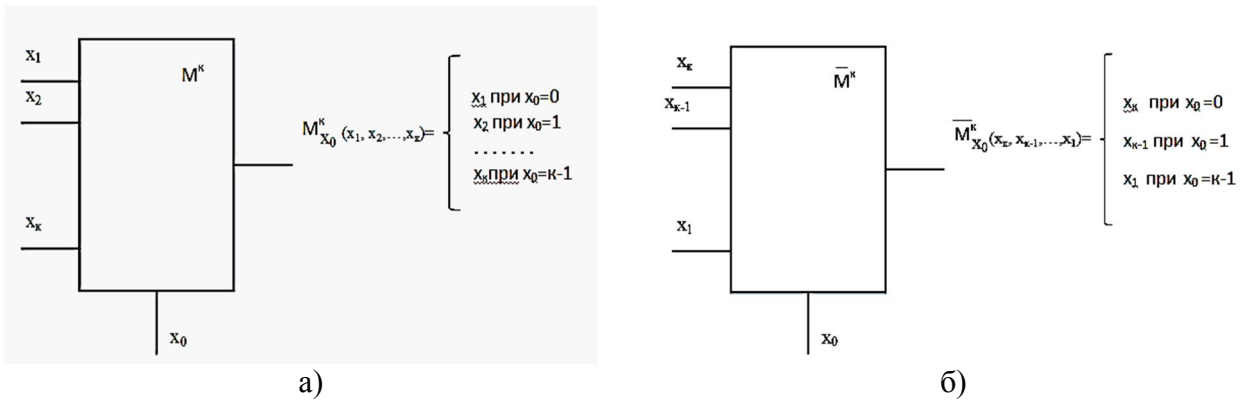


Рис. 1. Логічний базис на основі  $k$ -значного мультиплексора

До даного логічного базису введемо ще одну трійкову ЛФ – інверсію. Вона виконує операцію відповідно до загальноприйнятого вираження:

$$\bar{X} = \begin{cases} k-1 & \text{при } x=0 \\ k-2 & \text{при } x=1 \\ \dots\dots\dots & \\ 0 & \text{при } x=k-1 \end{cases} \quad (2)$$

Зображення і запис  $k$ -значного інвертора представлено на рис. 2.

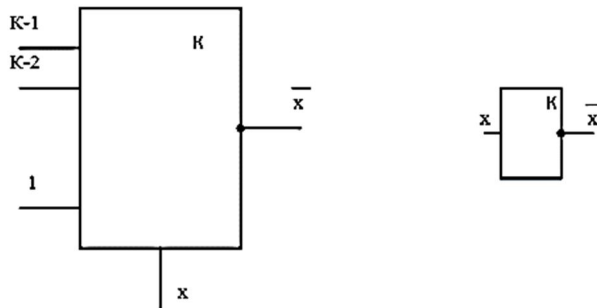


Рис. 2.  $K$ -значний інвертор

Функціональна повнота базису може бути доведена побічно, шляхом одержання структурних схем для довільних ЛФ трійкової логіки.

Таблиця функціонування трійкової ЛФ одного аргументу (табл.1) і структурна схема представлена на рис.3

Табл. 1

$x$	0	1	2
$f(x)$	0	2	1

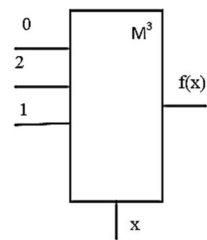


Рис. 3. Структурна схема ЛФ одного аргументу.

Правило функціонування трійкової ЛФ двох аргументів представлено в таблиці 2.

Табл. 2

$x_1$	0	1	2	0	1	2	0	1	2
$x_0$	0	0	0	1	1	1	2	2	2
$F(x_0, x_1)$	2	1	0	0	1	2	1	0	2

Структурна схема трійкової ЛФ для двох аргументів наведено на рис.4.

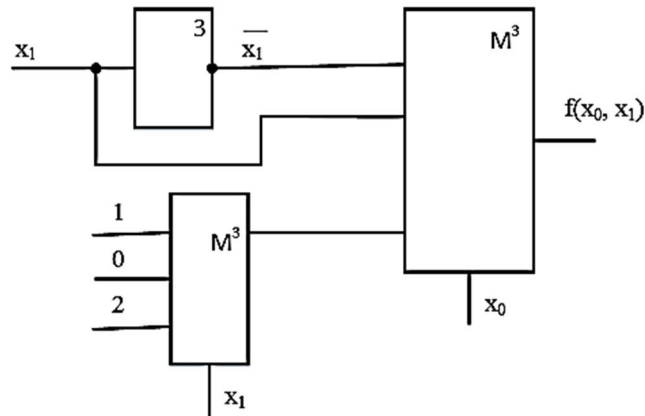


Рис.4. Структурна схема ЛФ двох аргументів

Аналогічно можуть бути отримані структурні схеми з використанням зворотного мультиплектора. У такий спосіб будь-яка ЛФ  $k$ -значної логіки може бути представлена багаторівною деревоподібною структурою, у якій основним елементом є елементарний  $k$ -значний мультиплексор.

Наступні рівності (3) мають місце для будь-якої  $k$ -значної логіки і можуть бути використані для спрощення структурних схем.

$$\begin{aligned}
 M_x^k(0,0,\dots,0) &= 0, \\
 M_x^k(\setminus 1,1,\dots,1) &= 1, \\
 &\dots\dots\dots \\
 M_x^k(0,1,2,\dots, k-1) &= x, \\
 M_x^k(k-1, k-2,\dots, 1,0) &= \bar{x}.
 \end{aligned}
 \tag{3}$$

Розглянемо практичний приклад синтезу структурної схеми трійкового суматора, таблиця функціонування якого наведена в табл.3 і отримана на основі очевидних трійкових виразів:

$$\begin{aligned}
 0 + 0 &= 0, & 0 + 1 &= 1, & 0 + 2 &= 2, \\
 1 + 1 &= 2, & 1 + 2 &= 10, & 2 + 2 &= 11, \\
 0 + 1 + 2 &= 10, & 1 + 1 + 1 &= 10, & 0 + 2 + 2 &= 11, \\
 1 + 2 + 2 &= 12, & 2 + 2 + 2 &= 20.
 \end{aligned}
 \tag{4}$$

Таблиця функціонування трійкового суматора

Табл. 3

$b_i$	012	012	012	012	012	012	012	012	012
$a_i$	000	111	222	000	111	222	000	111	222
$P_{i-1}$	000	000	000	111	111	111	222	222	222
$S_i$	012	120	201	120	201	012	201	012	120
$P_i$	000	001	011	001	011	111	011	111	112

де  $a_i, b_i$  – символи, що складають  $i$ -й – розряд трійкових чисел;  
 $P_{i-1}$  – перенос із попереднього розряду;  
 $S_i$  – сума чисел  $i$ -го розряду;  
 $P_i$  – перенос у наступний (старший) розряд.

Таблиця дозволяє одержати структурну схему повного суматора, що складається з вузла для реалізації суми  $S_i$  (рис.5,а) і сигналу переносу  $P_i$  (рис.5,б).

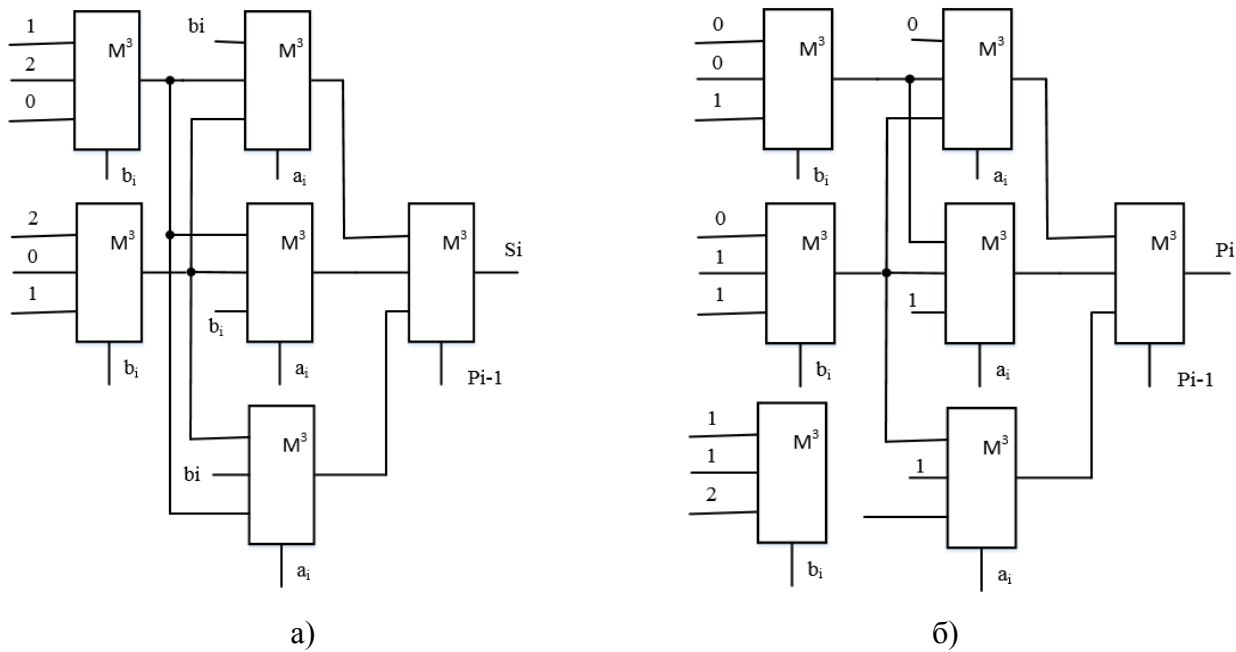


Рис. 5. Структурна схема трійкового суматора на елементарних мультиплексорах

Як і для випадку бінарної логіки [4, 5], для побудови структурних схем ЛФ  $k$ -значної логіки можна використати складні мультиплексори з декількома керуючими сигналами. Неважко показати, що і складні мультиплексори також мають функціональну повноту. Їх можна використати для зменшення числа рівнів у структурній схемі пристрою призначеного для формування моделі подання інформації на різних індикаторах.

Як приклад наведена структурна схема реалізації операції додавання одного розряду в повному трійковому суматорі. Вона складається з вузла для реалізації суми  $S_i$  (рис.6,а) і переносу  $P_i$  (рис.6,б), з використанням мультиплексорів із двома керуючими сигналами  $a_i$ ,  $b_i$  і сигналу переносу з попереднього  $P_i$ .

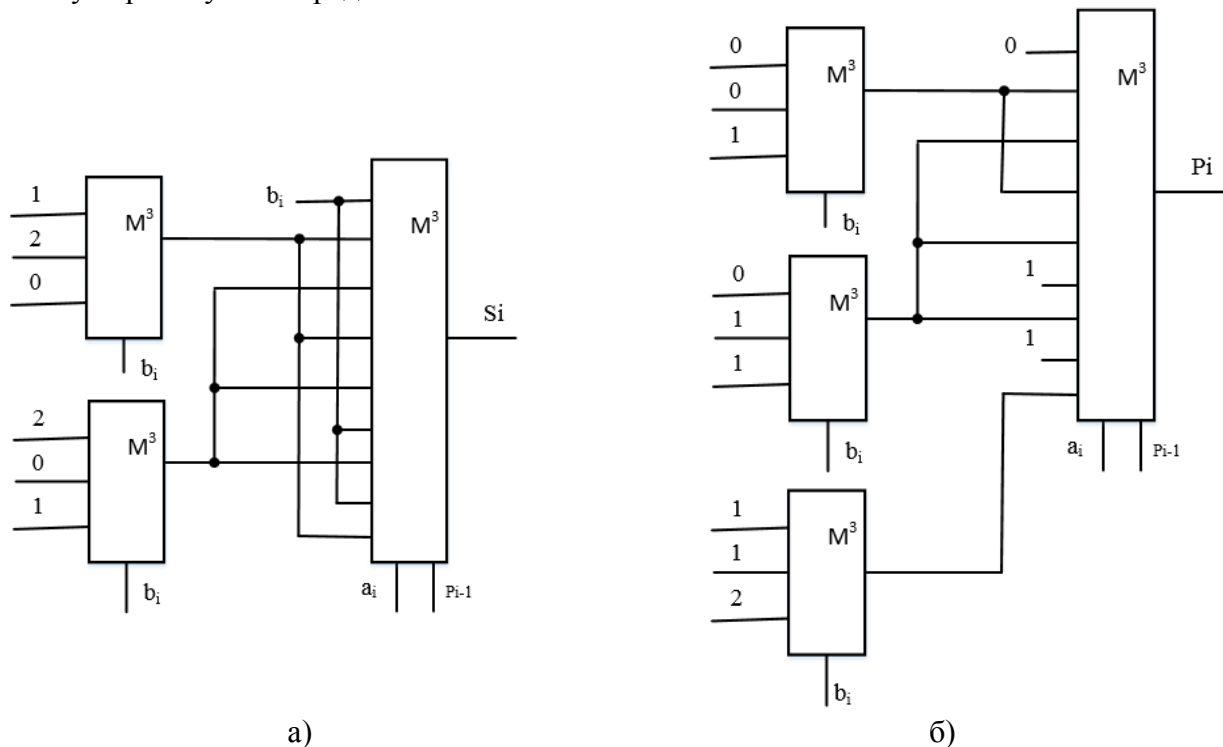


Рис. 6. Структурна схема трійкового суматора на складних мультиплексорах

### 3. Елементи пам'яті на основі функцій k-значної логіки

Під елементом пам'яті розуміють елементарний запам'ятовувальний елемент, що здатний запам'ятовувати один розряд багатозначного коду. Для k-значної логіки такий елемент повинен запам'ятовувати одне зі значень 0, 1, 2, ..., k-1. Такими елементами є тригерна схема статичного або динамічного типу. У сучасних обчислювачах найчастіше використовується статичний механізм запам'ятовування. Тригер як елемент пам'яті повинен мати певний мінімальний набір властивостей, які дозволяють одержати його таблицю функціонування й структурну схему [6]. Такими властивостями є: зберігання раніше встановленого значення вхідного сигналу, установка значення 0, установка значення 1, установка значення k-1. Наприклад, трійковий тригер повинен мати властивості: зберігання, установка значення 0, установка значення 1, установка значення 2.

Такими властивостями володіє в будь-якій k-значній логіці однорозрядний регістр зсуву [7]. Таблицю переходів (або граф) легко одержати за допомогою віконної технології. Для цього регістр умовно представляється у вигляді одиночного "вікна", через яке по черзі проходить у загальному випадку випадкова послідовність k-значних сигналів. Значення сигналу у "вікні" визначає стан регістра. Кількість станів дорівнює  $N=k$  відповідному числу значності використовуваної ЛФ. У кожний черговий момент часу у вікно надходить наступний сигнал послідовності і заміщає (витісняє) попередній сигнал, тим самим змінюючи стан у вікні. Якщо надходить той же сигнал, що був у вікні, стан вікна не змінюється. Для трійкової логіки граф переходів має вигляд якій наведено на рис.7.

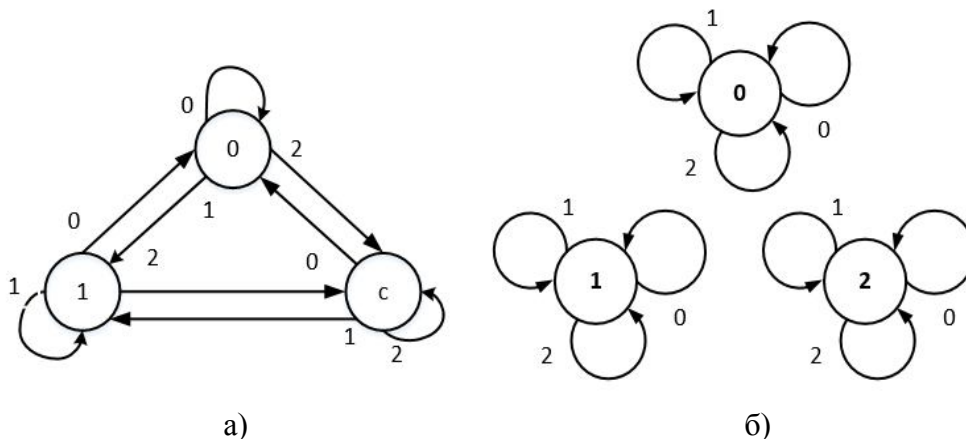


Рис. 7. Граф переходів трійкового регістра зсуву:  
 а) при наявності синхросигнала; б) при відсутності синхросигнала

Схема, що реалізує наведений граф переходів, буде виконувати функцію D-тригера. По такому ж принципі можна одержати граф k-значного регістра. З огляду на, що переходи тригерів регістра відбуваються при наявності синхронізуючого сигналу С, таблиця функціонування D- тригера прийме вид, показаний у табл. 4.

Таблиця функціонування трійкового D-тригера

Табл. 4

Q	012	012	012	012	012	012	012	012	012
D	000	111	222	000	111	222	000	111	222
C	000	000	000	111	111	111	222	222	222
Q	012	012	012	000	111	222	---	---	---
$\bar{Q}$	210	210	210	222	111	000	---	---	---

У таблиці символом “-” позначені значення, які можуть бути обрані довільно.

Згідно наведеної табл. 4 структурна схема трійкового D-тригера буде мати вигляд, як показано на рис. 8.

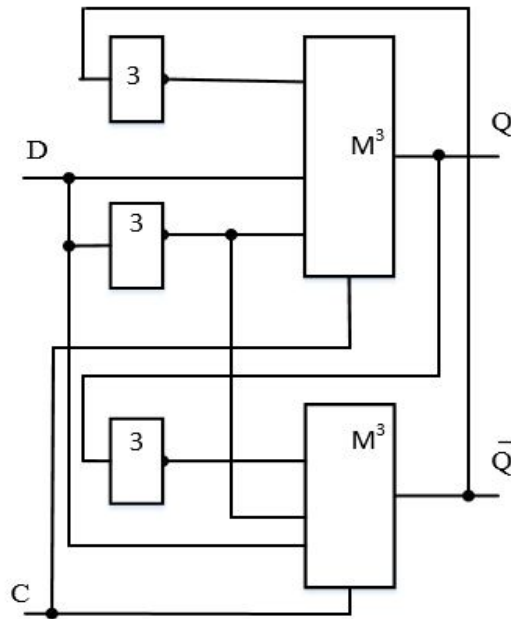


Рис. 8. Структурна схема трійкового D-тригера

Всі структурні схеми будуються на основі універсального логічного елемента — мультиплексора. Таблиця показує, що виконуються всі необхідні властивості тригера як елемента пам'яті. Для побудови структурних схем в k-значній логіці тепер можна застосувати класичну методику, розроблену для бінарної логіки.

Як приклад, покажемо реалізацію структурної схеми автомата в 3-х значній логіці, яка з послідовності вхідних сигналів  $X = 0, 1, 2$  виявляє комбінацію 1220 і видає при цьому вихідний сигнал  $y=1$ . У протилежному випадку автомат видає на вихід сигнал  $y=0$ .

Таблиця переходів і виходів (табл. 5), а також граф такого автомата наведено на рис. 9. Якщо на вхід автомата, що перебуває в 3-му стані, надійде черговий вхідний сигнал, який дорівнює нулю 0, то він повертається у вихідний нульовий стан.

Таблиця переходів і виходів автомата в 3-х значній логіці Табл. 5

Вхід	Стан	0	1	2	3
0		0	0	0	0
1		1	1	1	1
2		0	2	3	0

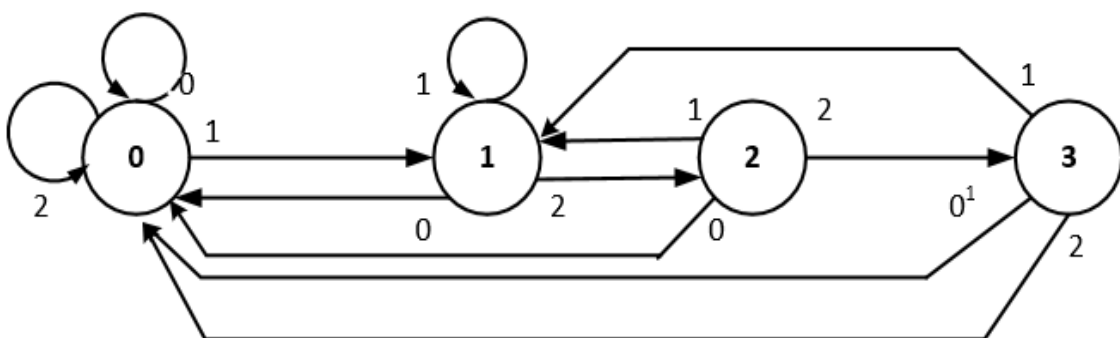


Рис. 9. Автомат для визначення комбінації 1220

Для реалізації структурної схеми автомата, буде потрібно два D-тригери, станами якого є  $Q_1$  і  $Q_2$ . Закодуємо стан автомату у вигляді (вибираємо довільно), наведеному в табл. 6.

Таблиця кодування станів автомата Табл. 6

Стан автомата		0	1	2	3
Стан тригерів	$Q_1$	0	0	0	1
	$Q_2$	1	1	1	1

При обраному варіанті кодування станів одержимо кодовану таблицю переходів і виходів представлену в табл. 7.

Кодована таблиця переходів і виходів Табл. 7

$Q_2$	012	012	012	012	012	012	012	012	012
$Q_1$	000	111	222	000	111	222	000	111	222
x	000	000	000	111	111	111	222	222	222
$Q_1$	000	0 --	-- --	000	0 --	-- --	001	0 --	-- --
$Q_2$	000	0 --	-- --	111	1 --	-- --	020	0 --	-- --
y	000	0 --	-- --	000	0 --	-- --	000	1 --	-- --
$Q_1$	000	0 --	-- --	000	0 --	-- --	001	0 --	-- --
$Q_2$	000	0 --	-- --	111	1 --	-- --	020	0 --	-- --

Цій таблиці відповідає структурна схема заданого автомату що складає із трьох частин для визначення значення першого розряду (рис.10,а), другого (рис.10,б) і третього (рис.10,в) розряду коду стану.

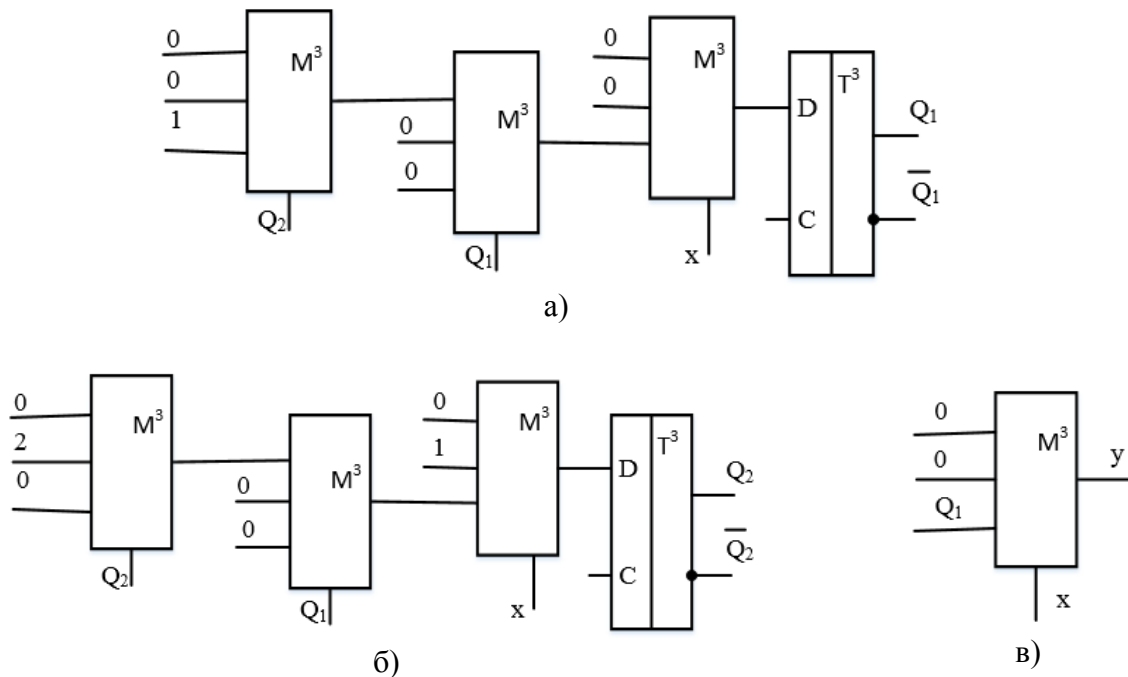


Рис. 10. Структурна схема автомата в 3-х значній логіці



#### 4. Висновки

Показана можливість використання схеми мультиплексора, як логічного базису, у загальному випадку для  $k$ -значної логіки і для трійкової логіки в окремому випадку. Існує принципова можливість побудови структурних схем логічних функцій, комбінаційних пристроїв і схем з пам'яттю будь-якої складності з використанням логічних функцій з  $k$ -значною логікою.

Основним і єдиним елементом структурних схем в  $k$ -значній логіці є  $k$ -значний простий або складний мультиплексор разом з відповідними константами на його входах.

Використання запропонованого способу побудови структурних схем цифрових пристроїв на основі  $k$ -значної логіки дозволить створити формувачі керуючих сигналів для побудови різних моделей дискретно-аналогового подання даних на напівпровідникових індикаторах. Це підвищить ємність, швидкість обробки і відображення великих масивів інформації при зменшенні апаратних і енергетичних витрат при їхній технічній реалізації.

#### Список використаної літератури (ДСТУ)

1. Яблонский С. В. Введение в дискретную математику: учебное пособие для вузов / С. В. Яблонский. – Москва: Высшая школа, 2006. – 384 с.
2. Закревский А. Д. Логические основы проектирования дискретных устройств / А. Д. Закревский, Ю. В. Потосина, Л. Д. Черемисинова. – Москва: Физматлит, 2007. – 592 с.
3. Miller D. Multiple valued logic: concepts and representations: synthesis lectures on digital circuits and systems / D. Miller. – Morgan & Claypool Publishers, 2008. – P. 41-42.
4. Ярцев В. П. Способы формирования квази-двумерной информационной модели светодиодной шкалы / В. П. Ярцев // Телекомунікаційні та інформаційні технології. – 2014. – № 1. – С. 86-93.
5. Лобанов Л. П. Побудова цифрових схем на мультиплексорах / Л. П. Лобанов, В. О. Яскевич // Комп'ютерно-інтегровані технології: освіта, наука, виробництво. – 2012. – № 8. – С.16 – 21.
6. Dmitrienko V. D. Research digital devices by means of modeling system on the basis of  $K$ -value differential calculus / V.D. Dmitrienko, S. Yu. Leonov, T. V. Gladkikh // Radioelectronics & Informatics. – 2008. – № 1. – P. 63-69.
7. Маслов С. П. Троичная схемотехника / С. П. Маслов // Программные системы и инструменты. – 2012. – №13. – С. 152-158.
8. Патент RU №2394366 С1 Пороговый элемент троичной логики и устройства на его основе / Маслов С. П. Зарегистрирован: 10.07.2010 // Бюл. №19/23.
9. Патент RU №2510129 С1. Троичный D-триггер / Маслов С. П. Зарегистрирован: 20.03.2014 // Бюл. №19/00

#### References (MLA)

1. Yablonskiy S. V. *Introduction to Discrete Mathematics: a Textbook for High Schools*. Moscow: Vysshaya Shkola, 2006. Print.
2. Zakrevskiy A. D., Potosina Yu. V., Cheremisinova L. D. *Logical Foundations of the Design of Discrete Devices*. Moscow: Fizmatlit, 2007. Print..

3. Miller D. "Multiple Valued Logic: Concepts and Representations: Synthesis Lectures on Digital Circuits and Systems." *Morgan & Claypool Publishers* (2008): 41-42. Print.
4. Yartsev V. P. "Methods of Forming a Quasi-Two-Dimensional Information Model of the LED Scale." / *Telekomunikatsiini ta Informatsiini Tekhnolohii* 1 (2014): 86-93. Print.
5. Lobanov L. P., Yaskevich V. O. "Construction of Digital Circuits on Multiplexers." *Computer-Integrated Technologies: Education, Science, Production* 8 (2012): 16-21. Print.
6. Dmitrienko V. D., Leonov S. Yu., Gladkikh T. V. "Research Digital Devices by Means of a Modeling System Based on the K-value Differential Calculus." *Radioelectronics & Informatics* 1 (2008): 63-69. Print.
7. Maslov S. P. "Trinity Circuitry." *Prjgramny`ye sistemy` i instrumenty`*. 13 (2012): 152-158. Print.
8. Patent RU №2394366 C1. Threshold Element of Ternary Logic and Device on its Basis. / Maslov S. P. Registered: July 10, 2010 // Bul. 23. Print.
9. Patent RU № 2510129 C1. Trinity D-trigger. / Maslov S. P. Registered: March 20, 2014 // Bul.19. Print.

*Автори статті (Authors of the article)*

**Гололобов Дмитро Олександрович** – к.ф.-м.н., доцент кафедри Системного аналізу (Hololobov Dmytro Oleksandrovych – PhD in Physics and Mathematics, Assistant Professor of Systems Analysis Department). Phone: + 380 44 249 2567. E-mail: vobd@ukr.net.

**Котомчак Олександр Юрійович** – старший викладач кафедри Системного аналізу (Kotomchak Oleksandr Yuriiiovych – Lecturer of Systems Analysis Department, Phone: + 380 44 249 2567. E-mail: katoa@ukr.net.

**Ярцев Володимир Петрович** – к.т.н., доцент кафедри Системного аналізу (Yartsev Volodymyr Petrovych – PhD in Technics, Assistant Professor of Systems Analysis Department). Phone: +380 50 161 2312. E-mail: jvp57@ukr.net.